Lo scopo di quest’elaborato è la descrizione del progetto in cui ho sviluppato e implementato su FPGA una versione HDL della CPU Z80 assieme ad un sistema che ne permettesse l’utilizzo come scheda di sviluppo. Lo scopo dell’implementazione della scheda di sviluppo era quello di creare un home computer facilmente programmabile e utilizzabile con la possibilità di espandersi senza difficoltà. La scelta della CPU Z80 deriva dalla storia degli home computer iniziata negli anni ’80 e che vide questa CPU come una delle più usate *[Balch, Mark (2003-06-18). "Digital Fundamentals". Complete Digital Design: A Comprehensive Guide to Digital Electronics and Computer System Architecture. Professional Engineering. New York, New York: McGraw-Hill Professional. p. 122. ISBN 0-07-140927-0]* ed assieme alla famiglia di CPU derivate è usata ancora oggi, come nella calcolatrice TI-84 Plus*[http://www.datamath.org/Graphing/TI-84PLUS\_CSE.htm].*

La scelta dell’implementazione in HDL su FPGA dell’home computer deriva dal voler avere un ambiente facilmente modificabile e flessibile. L’uso di questa tecnologia permette di sviluppare più velocemente, rispetto alla realizzazione con i componenti discreti, l’intero sistema e di poterlo modificare semplicemente cambiando la descrizione hardware. L’unica difficoltà in più rispetto alla creazione con i componenti discreti era la necessità di sviluppare autonomamente la CPU Z80.

Per cui il primo passo del progetto è stato lo studio della CPU e la sua implementazione. Mi sono attenuto al comportamento decritto nei manuali e ho cercato di rispecchiare il suo comportamento visto dai pin cioè non attenendomi alla reale organizzazione interna che non è completamente compatibile con la realizzazione su FPGA.

Lo sviluppo del sistema che ne fa da contorno ha seguito due temi principali.  
Il primo era la creazione di un ambiente in cui lo Z80 potesse funzionare. Per cui serviva l’implementazione in HDL delle memorie necessarie al funzionamento e di un output, compatibile con lo Z80, per farlo comunicare con l’esterno attraverso un display a sette segmenti.  
Il secondo tema era il debug dell’intero ambiente. Per cui serviva un sistema che facesse un salvataggio dello stato degli ingressi e delle uscite del microprocessore e li rendesse disponibili ad un PC esterno. In aggiunta serviva poter controllare oltre che la velocità di esecuzione, quindi la frequenza del clock, anche il flusso del programma caricato nelle memorie avanzando per un numero preciso di cicli di clock o di istruzioni allo stesso modo di come si fa il debug passo-passo.

Nel corso dell’elaborato distinguerò tra architettura e organizzazione dei sistemi che analizzerò. Con la prima mi riferirò a tutti gli aspetti visibili al programmatore mentre con la seconda alle parti operative e alle loro interconnessioni per sviluppare l’architettura.[Comp. Organization and Archietcture p26]

Ho deciso di organizzare quest’elaborato allo stesso modo in cui ho organizzato il progetto.  
Nel primo capitolo, VHDL e FPGA, fornisco delle informazioni utili per i capitoli successivi. Nella prima parte fornisco una breve visione del linguaggio HDL usato, allo scopo di introdurre termini e concetti che richiamerò nei capitoli successivi. Nella seconda parte, descrivo l’hardware usato e le scelte di implementazione che ho attuato per adattarsi a questo.  
Nel secondo capitolo, Lo Z80, descrivo lo studio e l’implementazione della CPU Z80. Parto dalle informazioni generali e per arrivare alla mia implementazione, tenendo conto dei risvolti che le scelte di progetto hanno portato.  
Nel terzo capitolo, Memorie, interfacce verso l’esterno e controllore, descrivo la progettazione e l’implementazione della scheda di sviluppo associata allo Z80 e del controllore.  
Nel capitolo conclusivo, analizzo i problemi incontrati e i possibili miglioramenti futuri.